

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-083884

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

H01L 21/8247

H01L 27/115

H01L 21/76

H01L 29/788

H01L 29/792

(21)Application number : 2000-269723

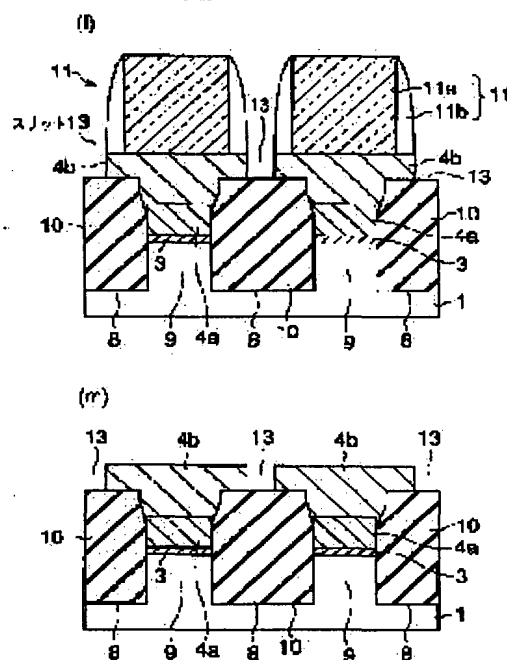
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.09.2000

(72)Inventor : MORIYAMA WAKAKO  
KAWAMOTO HIROSHI  
MIYAZAKI KUNIHIRO  
NADAHARA SOICHI  
SAITO MASAMI

## (54) PRODUCTION METHOD FOR SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a production method for semiconductor memory device for surely preventing gate electrode short-circuiting.**SOLUTION:** After a first floating gate electrode material film 4a is formed on a semiconductor wafer 1 through a first gate insulating film 3, an element isolation groove 8 is worked, an element isolation insulating film 10 is embedded in this element isolation groove 8 while being protruded from the surface position of the first floating gate electrode material film 4a, and a second floating gate material film 4b is deposited thereon. After the oxide film of a mask 11 is formed on this second floating gate electrode material film 4b, the second floating gate electrode film 4b is separated by a slit 13 on the element isolation insulating film 10 through etching with this mask 11 as a mask. Afterwards, the residue of the gate electrode material film 4b inside that slit 13 is removed by etching and next treated by washing and afterwards, the mask 11 is removed by etching.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-83884

(P2002-83884A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

5 F 0 0 1

27/115

21/76

L

5 F 0 3 2

21/76

29/78

3 7 1

5 F 0 8 3

29/788

5 F 1 0 1

29/792

審査請求 未請求 請求項の数19 O L (全 16 頁)

(21) 出願番号

特願2000-269723(P2000-269723)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日

平成12年9月6日 (2000.9.6)

(72) 発明者 森山 和歌子

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 川本 浩

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

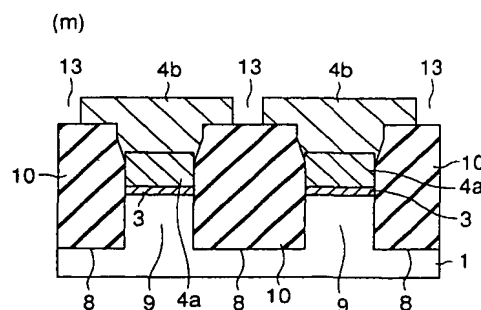
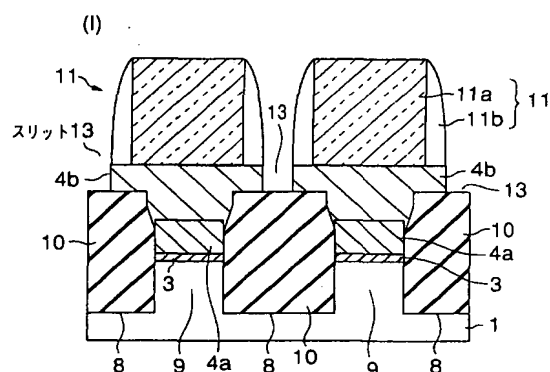
最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【要約】

【課題】 ゲート電極短絡を確実に防止する半導体記憶装置の製造方法を提供する。

【解決手段】 半導体基板1上に第1のゲート絶縁膜3を介して第1の浮遊ゲート電極材料膜4aを形成した後、素子分離溝8を加工し、この素子分離溝8に素子分離絶縁膜10が第1の浮遊ゲート電極材料膜4aの面位置より突出した状態に埋め込み、この上に、第2の浮遊ゲート電極材料膜4bを堆積し、この第2の浮遊ゲート電極材料膜4b上に、マスク材11の酸化膜を形成した後、このマスク材11をマスクに第2の浮遊ゲート電極膜4bをエッチング加工して、素子分離絶縁膜10上においてスリット13で分離する。その後、そのスリット13内におけるゲート電極材料膜4bの残渣をエッチング除去し、次いで、水洗処理し、その後、マスク材11をエッチング除去する。



## 【特許請求の範囲】

【請求項 1】半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜を、マスク材をマスクにエッチングしてゲート電極を分離形成する工程と、前記ゲート電極の分離形成工程後、前記マスク材を剥離する工程を具備してなり、  
前記マスク材の剥離工程は、前記ゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記ゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記マスク材をエッチング除去する工程とからなることを特徴とする半導体記憶装置の製造方法。

【請求項 2】前記マスク材が、酸化膜からなることを特徴とする請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 3】前記残渣の除去工程のエッチングは、希フッ酸溶液、或いはフッ酸と弗化アンモニウムとの混合溶液のウエットエッチングであり、前記酸化膜の除去工程のエッチングは、希フッ酸溶液の蒸気エッチングであり、前記ウエットエッチングのエッチング量より前記蒸気エッチングのエッチング量が大きいことを特徴とする請求項 2 に記載の半導体記憶装置の製造方法。

【請求項 4】前記残渣の除去工程及び前記酸化膜の除去工程のエッチングは、いずれも、希フッ酸溶液の蒸気エッチングであり、前記残渣の除去工程に比べ前記酸化膜の除去工程における温度を低温でおこなうことを特徴とする請求項 2 に記載の半導体記憶装置の製造方法。

【請求項 5】半導体基板に形成された溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜で囲まれた領域上にゲート絶縁膜を形成する工程と、前記素子分離絶縁膜表面及びゲート絶縁膜上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜を、マスク材をマスクにエッチングして前記素子分離絶縁膜上で分離する工程と、前記ゲート電極材料膜の分離工程後、前記マスク材料膜を前記素子分離絶縁膜に対して選択的に剥離する工程を具備してなり、  
前記マスク材の剥離工程は、前記ゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記ゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記マスク材をエッチング除去する工程とからなることを特徴とする半導体記憶装置の製造方法。

【請求項 6】前記マスク材が、酸化膜からなることを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

【請求項 7】前記素子分離絶縁膜が、熱酸化膜、またはプラズマ CVD 法による酸化膜からなり、且つ前記マスク材が、LPCVD 法による酸化膜からなることを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

【請求項 8】前記残渣の除去工程のエッチングは、希フッ酸溶液、或いはフッ酸と弗化アンモニウムとの混合溶

液のウエットエッチングであり、前記酸化膜の除去工程のエッチングは、希フッ酸溶液の蒸気エッチングであり、前記ウエットエッチングのエッチング量より前記蒸気エッチングのエッチング量が大きいことを特徴とする請求項 6、または 7 に記載の半導体記憶装置の製造方法。

【請求項 9】前記残渣の除去工程及び前記酸化膜の除去工程のエッチングは、いずれも、希フッ酸溶液の蒸気エッチングであり、前記残渣の除去工程に比べ前記酸化膜の除去工程における温度を低温でおこなうことを特徴とする請求項 6、または 7 に記載の半導体記憶装置の製造方法。

【請求項 10】半導体基板に形成された溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜で囲まれた領域上に第 1 のゲート絶縁膜を形成する工程と、前記素子分離絶縁膜及び前記第 1 のゲート絶縁膜上に第 1 のゲート電極材料膜を形成する工程と、前記ゲート電極材料膜を、マスク材をマスクにエッチングして、前記素子分離絶縁膜上で分離するスリットを形成する工程と、前記マスク材を前記素子分離絶縁膜に対して選択的に剥離する工程と、前記第 1 のゲート電極材料膜上に第 2 のゲート絶縁膜を介して第 2 のゲート電極を形成する工程と、前記第 2 のゲート電極と自己整合的に前記第 1 のゲート電極材料膜をパターンニングして第 1 のゲート電極を分離形成する工程と、前記第 1 及び第 2 のゲート電極と自己整合的に前記半導体基板に拡散層を形成する工程を具備してなり、  
前記マスク材の剥離工程は、前記第 1 のゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記ゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記マスク材をエッチング除去する工程とからなることを特徴とする半導体記憶装置の製造方法。

【請求項 11】前記マスク材が、酸化膜からなることを特徴とする請求項 10 に記載の半導体記憶装置の製造方法。

【請求項 12】前記素子分離絶縁膜が、熱酸化膜、またはプラズマ CVD 法による酸化膜からなり、且つ前記マスク材が、LPCVD 法による酸化膜からなることを特徴とする請求項 10 に記載の半導体記憶装置の製造方法。

【請求項 13】前記残渣の除去工程のエッチングは、希フッ酸溶液、或いはフッ酸と弗化アンモニウムとの混合溶液のウエットエッチングであり、前記酸化膜の除去工程のエッチングは、希フッ酸溶液の蒸気エッチングであり、前記ウエットエッチングのエッチング量より前記蒸気エッチングのエッチング量が大きいことを特徴とする請求項 11、または 12 に記載の半導体記憶装置の製造方法。

【請求項 14】前記残渣の除去工程及び前記酸化膜の除

去工程のエッチングは、いずれも、希フッ酸溶液の蒸気エッチングであり、前記残渣の除去工程に比べ前記酸化膜の除去工程における温度を低温でおこなうことを特徴とする請求項 11、または 12 に記載の半導体記憶装置の製造方法。

【請求項 15】浮遊ゲート電極とこれに容量結合する制御ゲート電極とを持つ不揮発性メモリトランジスタが配列形成されたメモリセルアレイを有する半導体記憶装置の製造方法であって、

半導体基板にゲート絶縁膜を介して第1のゲート電極材料膜及び第1のマスク材を順次堆積する工程と、

前記第1のマスク材、前記第1のゲート電極材料膜、前記ゲート絶縁膜及び前記半導体基板を異方性エッチングにより順次エッチングして素子分離領域に溝を形成する工程と、

前記第1のマスク材を残したまま前記溝にマスク材の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、

前記第1のマスク材を除去した後、前記第1のゲート電極材料膜と共に浮遊ゲート電極を構成する第2のゲート電極材料膜を堆積する工程と、

前記第2のゲート電極材料膜上に第2のマスク材を形成する工程と、

前記第2のゲート電極材料膜を、第2のマスク材をマスクにエッチングして前記素子分離絶縁膜上で分離するスリットを形成する工程と、

前記第2のマスク材を剥離する工程と、

前記第2のゲート電極材料膜上に層間ゲート絶縁膜を介して制御ゲート電極材料膜を堆積する工程と、

前記制御ゲート電極材料膜上に第3のマスク材を形成する工程と、

前記第3のマスク材をマスクに前記制御ゲート電極材料、前記層間ゲート絶縁膜、前記第2のゲート電極材料膜及び前記第1の電極材料膜を異方性エッチングにより順次エッチングして、各メモリセルアレイの制御ゲート電極を分離形成すると共に各メモリトランジスタの浮遊ゲート電極を分離形成する工程と、

前記制御ゲート電極及び前記浮遊ゲート電極と自己整合的に前記半導体基板に拡散層を形成する工程とを具備してなり、

前記第2のマスク材の剥離工程は、前記第2のゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記第2のゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記第2のマスク材をエッチング除去する工程とからなることを特徴とする半導体記憶装置の製造方法。

【請求項 16】前記第2のマスク材が、酸化膜からなることを特徴とする請求項 15 に記載の半導体記憶装置の製造方法。

【請求項 17】前記素子分離絶縁膜が、熱酸化膜、また

はプラズマ CVD 法による酸化膜膜からなり、且つ前記第2のマスク材が、LPCVD 法による酸化膜からなることを特徴とする請求項 15 に記載の半導体記憶装置の製造方法。

【請求項 18】前記残渣の除去工程のエッチングは、希フッ酸溶液、或いはフッ酸と弗化アンモニウムとの混合溶液のウェットエッチングであり、前記酸化膜の除去工程のエッチングは、希フッ酸溶液の蒸気エッチングであり、前記ウェットエッチングのエッチング量より前記蒸気エッチングのエッチング量が大きいことを特徴とする請求項 16、または 17 に記載の半導体記憶装置の製造方法。

【請求項 19】前記残渣の除去工程及び前記酸化膜の除去工程のエッチングは、いずれも、希フッ酸溶液の蒸気エッチングであり、前記残渣の除去工程に比べ前記酸化膜の除去工程における温度を低温でおこなうことを特徴とする請求項 16、または 17 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置（EEPROM）の製造方法に関し、特に浮遊ゲート電極と制御ゲート電極とが積層された電氣的書き換え可能な NAND 型 EEPROM の製造方法に関する。

【0002】

【従来の技術】浮遊ゲート電極と制御ゲート電極が積層された電氣的書き換え可能なメモリトランジスタを用いた EEPROM が知られている。なかでも、複数のメモリトランジスタをそれらのソース、ドレイン拡散層を隣接するもの同士で共用する形で直列接続して NAND セルを構成する NAND 型 EEPROM は高集積化ができるものとして注目されている。

【0003】一般に、この種の NAND 型 EEPROM のメモリセルアレイは、図 11（a）の等価回路および図 11（b）の平面図に示すように構成されている。

【0004】即ち、図 11（a）に示すように、浮遊ゲート電極と制御ゲート電極が積層された N チャネル MOS FET からなる複数個のメモリトランジスタ CG1.1、CG2.1、CG3.1…CGn.1 が直列に接続され、一端側のドレインが選択用の NMOS トランジスタ SG1.1 を介してビット線コンタクトによりビット線 BL1 に接続され、他端側のソースが選択用の NMOS トランジスタ SG2.1 を介してソース線コンタクトによりソース線 S に、それぞれ接続されて 1 つの NAND 型メモリセルを構成する。同様に、2 列目の SG1.2、CG1.2、CG2.2、CG3.2…CGn.2、SG2.2 のように NAND 型メモリセル群が複数個アレイ状に配置され、メモリセルアレイを構成する。

【0005】そして、このメモリセルアレイは、図 11（b）に示すように、前記各トランジスタが半導体基板

の同一ウエル領域に形成されており、メモリトランジスタCG1.1、CG2.1、CG3.1…、CGn.1 (CG1.2、CG2.2、CG3.2…CGn.2)の制御ゲート電極は、ビット線BLに対して略直交する行方向に連続的に配設されてワード線WL1、WL2、…、WLnとなる。また、選択トランジスタSG1.1、SG1.2 (SG1.2、SG2.2)の制御ゲート電極も同様に連続的に配設されて選択線SL1、SL2となる。各メモリセルの浮遊ゲート電極は、破線のエッチングで示すように、各トランジスタ毎に制御ゲート電極下で分離独立している。

【0006】従来、この種のNAND型EEPROMのメモリセルアレイは、一般に、図12乃至図21に示すような製造工程により製造されている。図12乃至図21は、それぞれ、図11(a)のA-A'線およびB-B'線に沿って切断し、矢印方向から眺めた縦断面図である。

【0007】まず、図12(a)に示すように、P型シリコン基板(P型ウエル)101上に熱酸化法により、シリコン酸化膜102を形成する。

【0008】次に、図12(b)に示すように、このシリコン酸化膜102を、NH<sub>3</sub>ガスを用いて窒化処理した後、更に、酸化処理することにより、オキシナイトライド膜103に置換する。このオキシナイトライド膜103は、第1のゲート絶縁膜として働き、一般に、トンネル酸化膜と称される。

【0009】次いで、図12(c)に示すように、前記オキシナイトライド膜103上に、CVD法により、第1の非晶質シリコン膜104a、シリコン窒化膜105及び酸化膜106を順次堆積させる。この非晶質シリコン膜104aは、浮遊ゲート電極となる第1のゲート電極材料膜である。

【0010】次いで、図13(d)に示すように、前記酸化膜106上には、リソグラフィーにより、素子分離領域に開口を持つレジストパターン107を形成し、このレジストパターン107をマスクとして前記酸化膜106をエッチング加工する。

【0011】次いで、図13(e)に示すように、前記レジストパターン107を除去した後、前記酸化膜106をマスクとして前記シリコン窒化膜105をエッチング加工する。続いて、ウェット処理により、前記シリコン窒化膜105及び前記酸化膜106を後退させた後、このシリコン窒化膜105及び酸化膜106をマスクとして、異方性ドライエッチングであるRIEにより、前記非晶質シリコン膜104a、前記オキシナイトライド膜103、前記シリコン基板101をエッチング加工して、図示のような素子分離溝108を形成する。これにより、ストライプパターンの素子領域109が形成される。前記第1のゲート電極材料膜の非晶質シリコン膜104aも、素子領域109と同じパターンに加工されるが、この段階ではまだ、NANDセル内のメモリトラン

ジスタ毎に分離はされない。

【0012】次いで、図14(f)に示すように、前記素子分離溝108の内壁を酸化した後に、プラズマCVD法により素子分離絶縁膜としてのシリコン酸化膜110を堆積する。そして、このシリコン酸化膜110を前記シリコン窒化膜105をストップマスクとするCMP処理により研磨して、図示のように、前記シリコン窒化膜105が露出して素子分離溝108には、シリコン酸化膜110が埋め込まれて平坦化された状態を得る。

【0013】次いで、図14(g)に示すように、ウェット処理で前記シリコン酸化膜110を後退させて高さを低くした後、前記シリコン窒化膜105をウェット処理により剥離する。このとき、前記シリコン酸化膜110は、前記非晶質シリコン膜104aの面位置より突出した状態となる。次に、ウェット処理により、前記シリコン酸化膜110の上端部コーナAを後退させる。

【0014】その後、図14(h)に示すように、CVD法により、浮遊ゲート電極となる第2のゲート電極材料膜としての第2の非晶質シリコン膜104bを堆積する。この第2の非晶質シリコン膜104bは、導電型不純物としてのリンがドーピングされており、また前記第1の非晶質シリコン膜104aとで、最後に浮遊ゲート電極を構成する。

【0015】次いで、図15(i)に示すように、この第2の非晶質シリコン膜104b上に、CVD法により酸化膜111aを堆積した後、この酸化膜111a上には、リソグラフィーにより素子分離絶縁膜である前記シリコン酸化膜110上にストライプ状の開口を持つレジストパターン112を形成する。そして、このレジストパターン112をマスクとして前記酸化膜111aをエッチング加工し、図16(j)に示すように、前記レジストパターン112を除去する。

【0016】続いて、図16(k)に示すように、CVD法により酸化膜111bを堆積し、この酸化膜111bを異方性エッチングして、前記酸化膜111aの側壁に酸化膜のサイドウォール111bを形成する。この酸化膜111a、111bとで、後述する第2のゲート電極材料膜104bを素子分離絶縁膜のシリコン酸化膜110上で分離するための、分離用のスリット形成のマスク材111として作用する。

【0017】次いで、図17(l)に示すように、この酸化膜のマスク材111(111a、111b)をマスクとして、前記第2の非晶質シリコン膜104bをRIEによる異方性ドライエッチングにより、前記シリコン酸化膜110上において、前記第2の非晶質シリコン膜104bに分離用のスリット112を加工する。

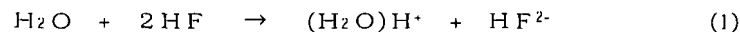
【0018】続いて、図17(m)に示すように、前記酸化膜のマスク材111(111a、111b)を、HF溶液をN<sub>2</sub>バブリングして蒸気としたHF蒸気エッチング(以下、HF Vaporと称する)で剥離する。

【0019】次いで、図18 (n) に示すように、第2のゲート絶縁膜（層間ゲート絶縁膜）113を形成した後、その上に、図18 (o) に示すように、制御ゲート電極材料膜として第3の非晶質シリコン膜114をLPCVD法により堆積する。この非晶質シリコン膜114は、導電型不純物としてのリンが添加されてなる。更に、この非晶質シリコン膜114上には、LPCVD法によりシリコン窒化膜115を堆積し、続いて、このシリコン窒化膜115上に、レジスト116を塗布する。

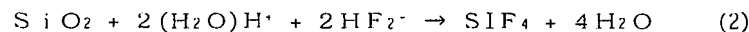
【0020】次いで、図19 (p) に示すように、リソグラフィにより、ストライプ状の素子領域109と直交する方向にストライプ状の開口を持つレジストパターン116aを形成し、このレジストパターン116aをマスクとして、前記シリコン窒化膜115をパターンニングする。

【0021】次いで、図20 (r) に示すように、前記レジストパターン116aを除去した後、このシリコン窒化膜116aをマスクとして前記制御ゲート電極材料膜の第3の非晶質シリコン膜114を、図11に示すように、ストライプ状の素子領域109と直交する方向に連続するワード線としてパターンニングする。この制御ゲート電極114と同時に第2のゲート絶縁膜113および第2、第1の非晶質シリコン膜104b、104aを順次、パターンニングし、ワード線と自己整合された形で各メモリトランジスタの浮遊ゲート電極が、図中のハッチングで示すように、分離され、且つ独立に形成される。

【0022】そして、図21 (s) に示すように、熱酸化法により浮遊ゲート電極としての前記第1、第2の非



次に、式(2)のような反応によって酸化膜がエッチングされる。



非晶質シリコン膜104bをエッチングした場合、スリット112のエッジ部に非晶質シリコン104bの残渣（残留物）が生じ、HF Vaporの初期段階で、上記式(2)のような残渣（残留物）のエッチングが進行しH<sub>2</sub>Oが生成される。本来、酸化膜111は素子分離絶縁膜110と選択的に剥離が出来るはずであるが、この新たに生成されたH<sub>2</sub>OによりHFとH<sub>2</sub>Oとの均衡が崩れ、H<sub>2</sub>O生成量が多いスリット112のエッジ部の素子分離絶縁膜110が横方向にのオーバーエッチングされる。その結果、図22に拡大して示すように、第2のゲート絶縁膜113及び制御ゲート電極材料膜114の形成工程において、スリット112のオーバーエッチング部分に第2のゲート絶縁膜113及び制御ゲート電極材料膜114が入り込む。そのため、制御ゲート電極材料膜114の加工時に、前記第2のゲート絶縁膜113がマスクとなり、図23においてハッチングで示すように、素子領域109に沿って前記オーバーエッチング部

晶質シリコン膜104a、104b及び制御ゲート電極としての第3の非晶質シリコン膜115の側面に、シリコン酸化膜117を形成する。一般に、この酸化工程は後酸化工程と呼ばれ、これにより形成される前記酸化膜117は、後酸化膜と称される。この酸化膜117を形成した後、イオン注入によってイオンを素子領域109間の前記シリコン基板101内に打込み、熱アニールにより活性化させて各メモリトランジスタのソース、ドレイン拡散層119を形成する。

【0023】次いで、通常の工程に従って、図示しないが、層間絶縁膜を堆積し、その上にビット線BLを形成することにより、メモリセルアレイが完成する。

【0024】

【発明が解決しようとする課題】しかしながら、上記のような方法では、図17 (i) に示すように、マスク材としての酸化膜111（111a、111b）を用いて、浮遊ゲート電極としての前記非晶質シリコン膜114bに、素子領域109に沿ってストライプ状のスリット112をエッチング加工して、前記非晶質シリコン膜104bを前記素子分離絶縁膜110上で分離した後、このマスク材としての酸化膜111を、HF Vaporにより剥離しているが、前記素子分離絶縁膜110が、前記スリット112のエッジ部で局所的に横方向にオーバーエッチングされてしまうという問題が発生する。これは次のような理由による。

【0025】HF Vaporにより酸化膜エッチングを行う場合、まず、次のようにHFがHF<sup>2-</sup>イオンとなることが必要である。

【0026】

【0027】

分に制御ゲート電極材料膜114の一部が残ってしまう。従って、制御ゲート電極（ワード線）間が電氣的に短絡するという問題があった。

【0028】本発明は、上記課題に鑑みなされたもので、目的とするところは、ゲート電極間短絡を確実に防止する半導体記憶装置の製造方法を提供することにある。

【0029】

【課題を解決するための手段】上記目的を達成するために、第1の本発明に係わる半導体記憶装置の製造方法では、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極材料膜を形成する工程、前記ゲート電極材料膜を、マスク材をマスクにエッチングしてゲート電極を分離形成する工程と、前記ゲート電極の分離形成工程後、前記マスク材を剥離する工程を具備してなり、前記マスク材の剥離工程は、前記ゲート電極材料膜の残渣をエッチング除去する工程と、前記エッ

チング除去工程後、前記ゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記マスク材をエッチング除去する工程とからなることを特徴としている。

【0030】また、上記目的を達成するために、第2の発明に係わる半導体記憶装置の製造方法では、半導体基板に形成された溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜で囲まれた領域上にゲート絶縁膜を形成する工程と、前記素子分離絶縁膜表面及びゲート絶縁膜上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜を、マスク材をマスクにエッチングして前記素子分離絶縁膜上で分離する工程と、前記ゲート電極材料膜の分離工程後、前記マスク材を前記素子分離絶縁膜に対して選択的に剥離する工程を具備してなり、前記マスク材の剥離工程は、前記ゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記ゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記マスク材をエッチング除去する工程とからなることを特徴としている。

【0031】更に、上記目的を達成するために、第3の発明に係わる半導体記憶装置の製造方法では、半導体基板に形成された素子分離溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜で囲まれた領域上に第1のゲート絶縁膜を形成する工程と、前記素子分離絶縁膜及び前記第1のゲート絶縁膜上に第1のゲート電極材料膜を形成する工程と、前記ゲート電極材料膜を、マスク材をマスクにエッチングして、前記素子分離絶縁膜上で分離するスリットを形成する工程と、前記マスク材を前記素子分離絶縁膜に対して選択的に剥離する工程と、前記第1のゲート電極材料膜上に第2のゲート絶縁膜を介して第2のゲート電極を形成する工程と、前記第2のゲート電極と自己整合的に前記第1のゲート電極材料膜をパターンニングして第1のゲート電極を分離形成する工程と、前記第1及び第2のゲート電極と自己整合的に前記半導体基板に拡散層を形成する工程を具備してなり、前記マスク材の剥離工程は、前記ゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記ゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記マスク材をエッチング除去する工程とからなることを特徴とする半導体記憶装置の製造方法。

【0032】更にまた、上記目的を達成するために、第4の発明に係わる半導体記憶装置の製造方法では、浮遊ゲート電極とこれに容量結合する制御ゲート電極とを持つ不揮発性メモリトランジスタが配列形成されたメモリセルアレイを有する半導体記憶装置の製造方法であって、半導体基板にゲート絶縁膜を介して第1のゲート電極材料膜及び第1のマスク材を順次堆積する工程と、前記第1のマスク材、前記第1のゲート電極材料膜、前記ゲート絶縁膜及び前記半導体基板を異方性エッチングによ

り順次エッチングして素子分離領域に素子分離溝を形成する工程と、前記第1のマスク材を残したまま前記素子分離溝にマスク材の面位置と略同じ面位置をもって素子分離絶縁膜を埋め込む工程と、前記第1のマスク材を除去した後、前記第1のゲート電極材料膜と共に浮遊ゲート電極を構成する第2のゲート電極材料膜を堆積する工程と、前記第2のゲート電極材料膜上に第2のマスク材を形成する工程と、前記第2のゲート電極材料膜を、第2のマスク材をマスクにエッチングして前記素子分離絶縁膜上で分離するスリットを形成する工程と、前記第2のマスク材を剥離する工程と、前記第2のゲート電極材料膜上に層間ゲート絶縁膜を介して制御ゲート電極材料膜を堆積する工程と、前記制御ゲート電極材料膜上に第3のマスク材を形成する工程と、前記第3のマスク材をマスクに前記制御ゲート電極材料膜、前記層間ゲート絶縁膜、前記第2のゲート電極材料膜及び前記第1の電極材料膜を異方性エッチングにより順次エッチングして、各メモリセルアレイの制御ゲート電極を分離形成すると共に各メモリトランジスタの浮遊ゲート電極を分離形成する工程と、前記制御ゲート電極及び前記浮遊ゲート電極と自己整合的に前記半導体基板に拡散層を形成する工程とを具備してなり、前記第2のマスク材の剥離工程は、前記第2のゲート電極材料膜の残渣をエッチング除去する工程と、前記エッチング除去工程後、前記第2のゲート電極材料膜の残渣除去部分を水洗処理する工程と、前記水洗処理工程後、前記第2のマスク材をエッチング除去する工程とからなることを特徴とする半導体記憶装置の製造方法。

【0033】上記各発明において、具体的には、次のように構成することが望ましい。

(1) 第2のマスク材が、酸化膜からなること。

(2) 素子分離絶縁膜が、熱酸化膜、またはプラズマCVD法による酸化膜からなり、且つマスク材膜が、LP-CVD法による酸化膜からなること。

(3) 残渣の除去工程のエッチングは、希フッ酸溶液、或いはフッ酸と弗化アンモニウムとの混合溶液のウェットエッチングであり、前記酸化膜の除去工程のエッチングは、希フッ酸溶液の蒸気エッチングであり、前記ウェットエッチングのエッチング量より前記蒸気エッチングのエッチング量が大きいこと。

(4) 残渣の除去工程及び前記酸化膜の除去工程のエッチングは、いずれも、希フッ酸溶液の蒸気エッチングであり、前記残渣の除去工程に比べ前記酸化膜の除去工程における温度を低温でおこなうこと。

【0034】上記発明によれば、ゲート電極材料膜を、マスク材をマスクにエッチングして素子分離絶縁膜上で分離するスリットを形成した後、まず、そのスリット内におけるゲート電極材料膜の残渣をエッチング除去し、次いで、ゲート電極材料膜の残渣除去部分を水洗処理し、その後、マスク材をエッチング除去するため、マス



ク材のエッチング除去時において、スリット底部の素子分離絶縁膜は殆どエッチングされない。従って、その後の制御ゲート電極の加工において、ゲート電極材料膜を残渣（膜残り）なくエッチングすることができ、制御ゲート電極間短絡を確実に防止できる。

【0035】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態（以下、実施形態と称する）を説明する。

【0036】図1乃至図10は、この発明の実施の形態に係わるNANDメモリアルレイの製造方法を示す工程断面図で、図11のA-A'線、B-B'線に沿って切断し、矢印方向から眺めた縦断面図である。

【0037】まず、図1(a)に示すように、P型シリコン基板（P型ウェル）1上に、熱酸化法によりシリコン酸化膜2を形成する。

【0038】次いで、このシリコン酸化膜2をNH<sub>3</sub>ガスを用いて窒化処理した後、更に酸化処理することにより、第1のゲート絶縁膜としてのオキシナイトライド膜3に置換する。第1のゲート絶縁膜3は、この実施形態の場合、熱酸化によるトンネル酸化膜である。

【0039】次いで、前記オキシナイトライド膜3上に、CVD法により、浮遊ゲート電極となる第1のゲート電極材料膜の非晶質シリコン膜4aを堆積し、更にその上に、素子分離絶縁膜のCMP処理時のストッパマスク材となるシリコン窒化膜5を堆積し、更にこの上に、素子分離溝のエッチング加工時のマスク材となる酸化膜6を堆積する。第1のゲート電極材料膜4aは、アモルファスシリコン又は多結晶シリコン膜からなる。

【0040】次いで、図2(d)に示すように、前記酸化膜6上には、リソグラフィにより素子分離領域に開口をもつレジストパターン7を形成する。そして、このレジストパターン7をマスクとして、前記酸化膜6をエッチング加工する。

【0041】次いで、図2(e)に示すように、前記レジストパターン7を除去し、続いて前記シリコン窒化膜5をエッチング加工する。次に、ウェット処理により、前記シリコン窒化膜5及び前記酸化膜6を後退させた後、このシリコン窒化膜5及び酸化膜6をマスクとして、異方性ドライエッチングであるRIEにより、前記非晶質シリコン膜4a、前記オキシナイトライド膜3、前記シリコン基板1をエッチング加工して、図示のような素子分離溝8を形成する。これにより、ストライプパターンの素子領域9が形成される。前記第1のゲート電極材料膜4aも素子形成領域9と同じパターンに加工されるが、この段階ではまだ、NANDセル内のメモリトランジスタ毎の分離はなされない。

【0042】次いで、図3(f)に示すように、前記素子分離溝8の内壁を酸化した後、プラズマCVD法により素子分離絶縁膜となるシリコン酸化膜10を堆積する。そして、このシリコン酸化膜10を前記シリコン窒

化5をストッパマスクとするCMP処理により研磨して、図示のように、前記シリコン窒化膜5が露出して前記素子分離溝8には、前記シリコン酸化膜10が埋め込まれて平坦化された状態を得る。

【0043】次いで、図3(g)に示すように、ウェット処理で前記シリコン酸化膜10を後退させて高さを低くした後、前記シリコン窒化膜5をウェット処理により剥離する。このとき前記シリコン酸化膜10は、前記第1の非晶質シリコン膜4aの面位置より突出した状態となる。次に、前記シリコン酸化膜10を等方性エッチング、例えば前記第1の非晶質シリコン膜4aに対して選択比の大きいウェット処理を利用して、図示のように、前記シリコン酸化膜10の上端部コーナAを後退させる。

【0044】その後、図3(h)に示すように、CVDにより、浮遊ゲート電極である第2のゲート電極材料としての第2の非晶質シリコン膜4bを堆積する。この第2の非晶質シリコン膜4bは、導電型不純物としてリンがドーピングされてなり、またこの第2の非晶質シリコン膜4bは、前記第1の非晶質シリコン膜4aとで浮遊ゲート電極を構成する。

【0045】次いで、図4(i)に示すように、第2の非晶質シリコン膜4b上に、CVD法で酸化膜11aを堆積した後、この酸化膜11a上には、リソグラフィにより素子分離絶縁膜10上にスリット状の開口をもつレジストパターン12を形成する。そして、このレジストパターン12をマスクとして、前記酸化膜11aをエッチング加工し、図5(j)に示すように、このレジストパターン12を除去する。

【0046】続いて、図5(k)に示すように、CVD法で酸化膜を堆積し、この酸化膜を異方性エッチングして、前記酸化膜11aの側壁に酸化膜のサイドウォール11bを形成する。この酸化膜11a及びサイドウォール11bは、後述する第2の電極材料膜4bを素子分離膜上で分離するための分離用スリット形成のマスク材11として機能する。

【0047】次いで、図6(l)に示すように、この酸化膜11a、11bからなるマスク材11をマスクにして、前記非晶質シリコン膜4bを異方性エッチングして、図6(m)に示すように、素子分離絶縁膜10上において、前記非晶質シリコン膜10に分離用のスリット13を加工する。このスリット13は、前記素子領域9に沿ってストライプ状に形成される。

【0048】次いで、希フッ酸で前記マスク材11の表面を軽くエッチングすると共に、前記非晶質シリコン膜4bのスリット11加工によって生じた前記非晶質シリコン膜4bの残渣を除去した後、続いて、水洗処理してスリット11内壁面を清浄化する。

【0049】そして、このスリット11の加工に用いた分離用のマスク材11としての前記酸化膜11a、11

bを、HF溶液をN<sub>2</sub>バブリングして蒸気としたHF蒸気エッチング（以下、HF Vapor 称する）で剥離する。

【0050】次いで、図7（n）に示すように、第2のゲート絶縁膜（層間ゲート絶縁膜）14を形成した後、その上に、図7（o）に示すように、制御ゲート電極であるゲート電極材料膜としての第3の非晶質シリコン膜15をLPCVD法により堆積する。この非結晶質シリコン膜15は、導電型不純物としてリンが添加されてなる。更に、この非晶質シリコン膜15上に、LPCVD法でシリコン窒化膜16を堆積し、続いて、このシリコン窒化膜16上に、フォトレジスト17を塗布する。

【0051】次いで、図8（p）に示すように、リングラフイーにより、ストライプ状の素子領域9とは直交する方向に連続するレジストパターン17aを形成し、このレジストパターン17aをマスクにして前記シリコン窒化膜16をパターンングする。

【0052】次いで、図9（q）に示すように、前記レジストパターン17aを除去した後、このシリコン窒化膜16をマスクにして前記制御ゲート電極材料膜15を、図11に示すように、ストライプ状の素子領域9と直交する方向に連続するワード線としてパターンングする。この制御ゲート電極15と同時に、第2のゲート絶縁膜14、下地の第2のゲート電極材料膜4b及び第1のゲート電極材料膜4aを順次、パターンングし、ワード線と自己整合された形で各メモリトランジスタの浮遊ゲート電極4が分離される。

【0053】そして、図10（r）に示すように、ゲート端でのリーク電流を抑制し、高耐圧の周辺回路MOSトランジスタのサーフェス耐圧、即ちゲート絶縁膜の耐圧を向上させ、RIEエッチングによるゲート電極を介してゲート酸化膜に導入されたダメージを回復させるなどの目的で、熱酸化法を用いてシリコン酸化膜18を形成する。一般に、この酸化工程は後酸化工程と呼ばれ、この際に形成される酸化膜17は、後酸化膜と称される。

【0054】この後、図10（r）に示すように、前記シリコン酸化膜17を形成した後、イオン注入によってイオンをシリコン基板1内に打込み、熱アニールにより活性化させ各メモリトランジスタのソース、ドレイン拡散層19を形成する。

【0055】この後は、通常の工程に従って、図示しないが、層間絶縁膜を堆積し、その上にビット線BLを形成することにより、メモリセルアレイが完成される。

【0056】この実施形態によると、非晶質シリコン膜4bのスリット13加工後に、まず、希フッ酸で前記マスク材Mの表面を軽くエッチングすると共に、前記非晶質シリコン膜4bのスリット13加工によって生じた前記非晶質シリコン膜4bの残渣を除去し、更に、水洗処理してスリット13内壁面を清浄化する。この非晶質シ

リコン膜4bの残渣除去してから、マスク材11の酸化膜11a、11bをHF Vaporで剥離している。

このため、スリット13底部の素子分離絶縁膜10は、殆どエッチングされず、そのため、スリット13のエッジ部に制御ゲート電極15の膜残り、即ち残渣が残ることがない。従って、NANDセル内の隣接するメモリトランジスタの制御ゲート電極間が短絡するという問題は確実に防止される。

【0057】本発明は、上記実施形態に限定されるものではなく、特許請求の範囲を逸脱しない範囲で、種々の変形をしても良いことは勿論である。

【0058】例えば、本実施形態では、スリット加工によって生じた非晶質シリコン膜の残渣を除去するのに希フッ酸を用いているが、それに限られるものではなく、例えば、フッ酸と弗化アンモニウムとの混合溶液でも良い。

【0059】また、希フッ酸でマスク材の表面を軽くエッチングすると共に、非晶質シリコン膜のスリット加工によって生じた前記非晶質シリコン膜の残渣を除去し、更に、水洗処理して前記スリット内壁面を清浄化した後、マスク材の酸化膜をHF Vaporで剥離しているが、非晶質シリコン膜及びマスク材の除去を、いずれも、HF Vaporで行っても良い。但し、HF Vaporによるエッチング処理の酸化膜エッチング量の温度依存性は、温度が低い程、エッチング量が多いため、前記残渣の除去は、高温で行う。これにより、酸化膜のエッチングを抑えながら、残渣を選択的に除去することができ、スリット底部のオーバエッチの発生の恐れがない。そして、マスク材の酸化膜の剥離は、既に非晶質シリコン膜の残渣を除去しているので、一気に剥離するために、エッチング量の多い低温で行うことが好ましい。

【0060】更に、マスク材を除去するのに、HF Vaporを用いているが、これに限ったものではなく、スリット加工のためのマスク材を剥離することができて、素子分離絶縁膜との選択比が取れる条件であれば良い。

【0061】

【発明の効果】以上説明したように、本発明によれば、ゲート電極材料膜を、マスク材をマスクにエッチングして素子分離絶縁膜上で分離するスリットを形成した後、まず、そのスリット内におけるゲート電極材料膜の残渣をエッチング除去し、次いで、ゲート電極材料膜の残渣除去部分を水洗処理し、その後、マスク材をエッチング除去するため、マスク材のエッチング除去時において、スリット底部の素子分離絶縁膜は殆どエッチングされない。従って、その後の制御ゲート電極の加工において、ゲート電極材料膜を残渣（膜残り）なくエッチングすることができ、制御ゲート電極間短絡を確実に防止できる。

## 【図面の簡単な説明】

【図 1】本発明の実施形態による NAND 型 EEPROM の製造方法を説明するための工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 2】同実施形態の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 3】同実施形態の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 4】同実施形態の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 5】同実施形態の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 6】同実施形態の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 7】同実施形態の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 8】同実施形態の工程断面図で、図 11 の A-A' 線及び B-B' 線の縦断面図である。

【図 9】同実施形態の工程断面図で、図 11 の A-A' 線及び B-B' 線の縦断面図である。

【図 10】同実施形態の工程断面図で、図 11 の A-A' 線及び B-B' 線の縦断面図である。

【図 11】一般の NAND 型 EEPROM のメモリセルアレイを示す図で、(a) はその等価回路図、(b) はその平面図である。

【図 12】従来の NAND 型 EEPROM の製造方法を説明するための工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 13】同製造の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 14】同製造の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 15】同製造の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 16】同製造の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 17】同製造の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 18】同製造の工程断面図で、図 11 の A-A' 線の縦断面図である。

【図 19】同製造の工程断面図で、図 11 の A-A' 線

及び B-B' 線の縦断面図である。

【図 20】同製造の工程断面図で、図 11 の A-A' 線及び B-B' 線の縦断面図である。

【図 21】同製造の工程断面図で、図 11 の A-A' 線及び B-B' 線の縦断面図である。

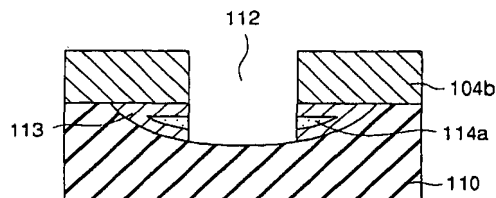
【図 22】図 18 (o) の要部を拡大して示す拡大縦断面図である。

【図 23】図 19 (p) の要部を拡大して示す拡大縦断面図である。

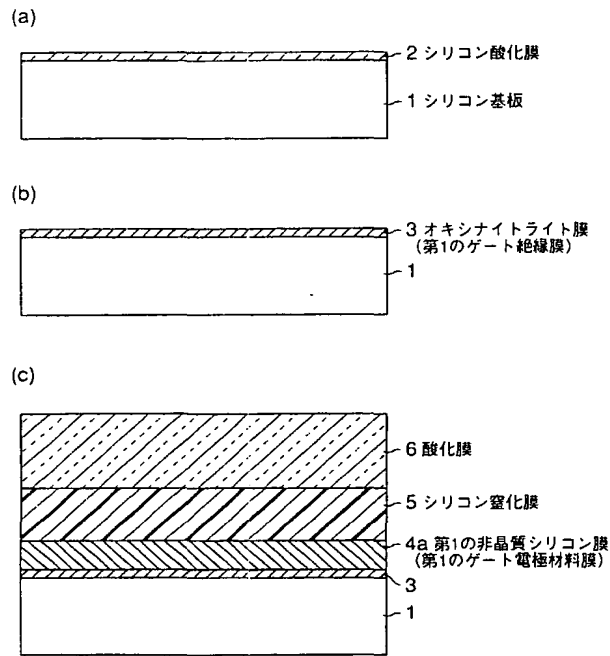
## 【符号の説明】

- 1、101…シリコン基板（ウェル）、
- 2、102…シリコン酸化膜、
- 3、103…オキシナイトライド膜（第 1 のゲート絶縁膜）、
- 4、104…浮遊ゲート電極
- 4a、104a…第 1 のゲート電極材料膜（第 1 の非晶質シリコン膜）、
- 4b…第 2 のゲート電極材料膜（第 2 の非晶質シリコン膜）、
- 5…シリコン窒化膜、
- 6…酸化膜、
- 7、12…レジストパターン、
- 8…素子分離溝、
- 9…素子領域、
- 10…シリコン酸化膜（素子分離絶縁膜）、
- 11…マスク材
- 11a、11b…酸化膜、
- 13…スリット、
- 14…第 2 のゲート絶縁膜、
- 15…制御ゲート電極材料膜（第 3 の非晶質シリコン膜）
- 16…シリコン窒化膜、
- 17…レジスト、
- 17a…レジストパターン、
- 18…酸化膜、
- 19…拡散層、
- BL…ビット線、
- WL…ワード線、
- CG…メモリトランジスタ、
- SG…選択用トランジスタ、
- S…ソース線、

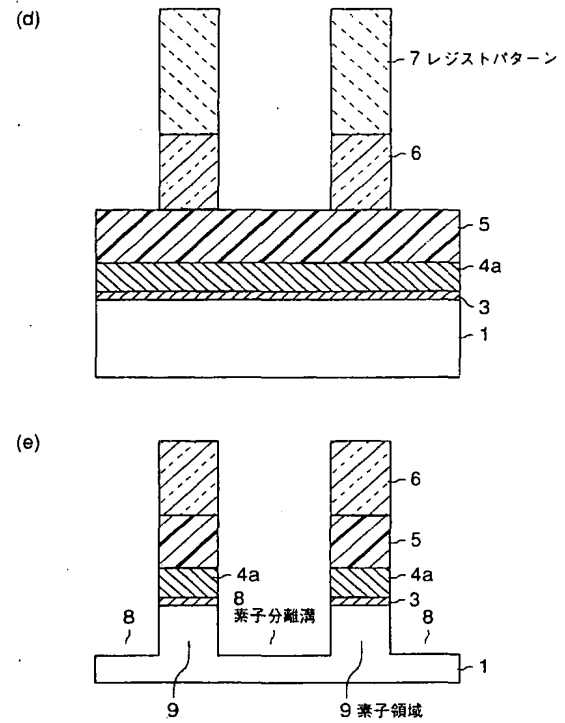
【図 23】



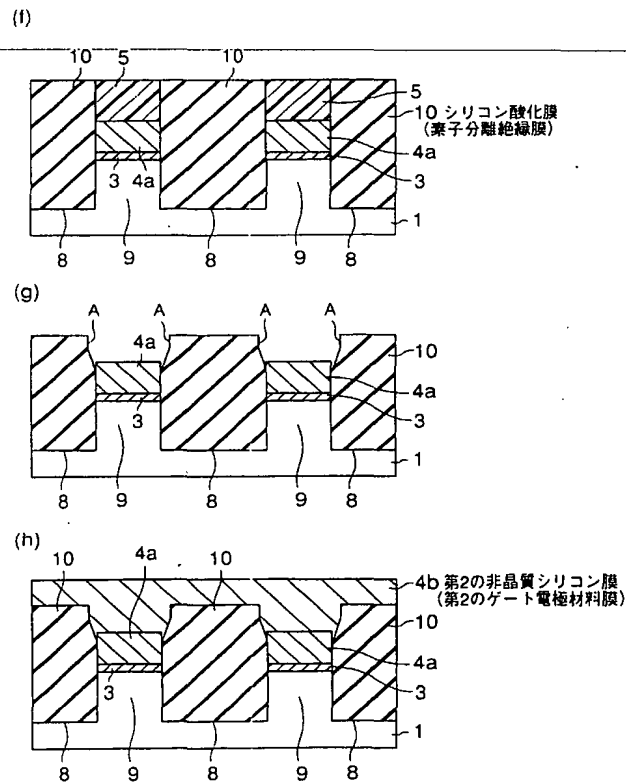
【図 1】



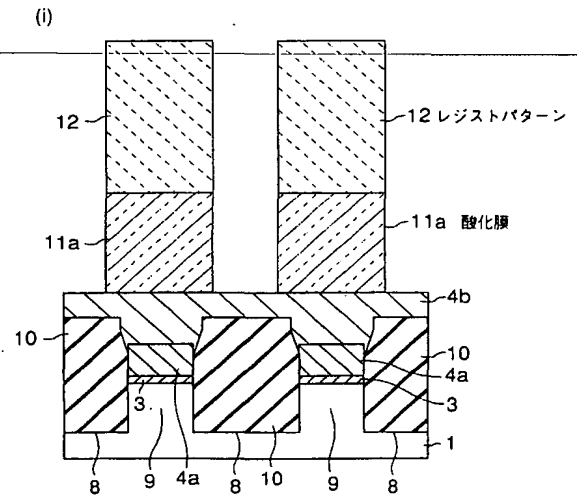
【図 2】



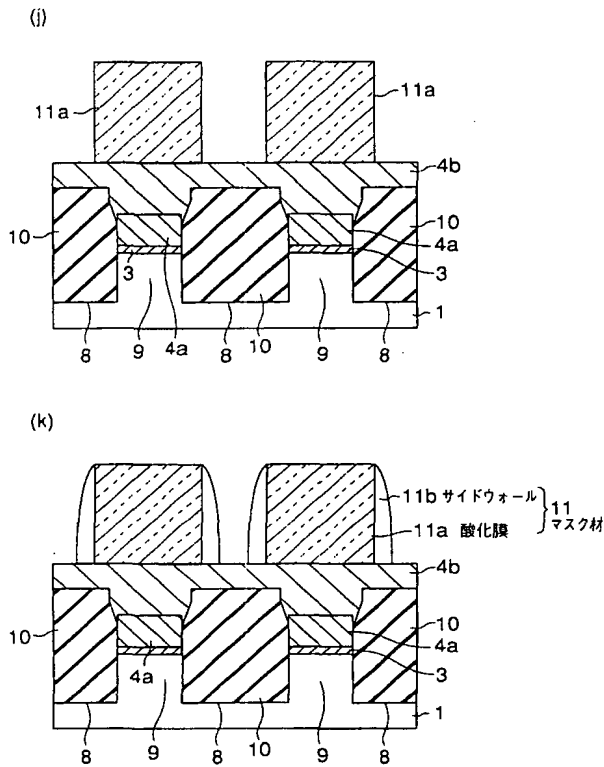
【図 3】



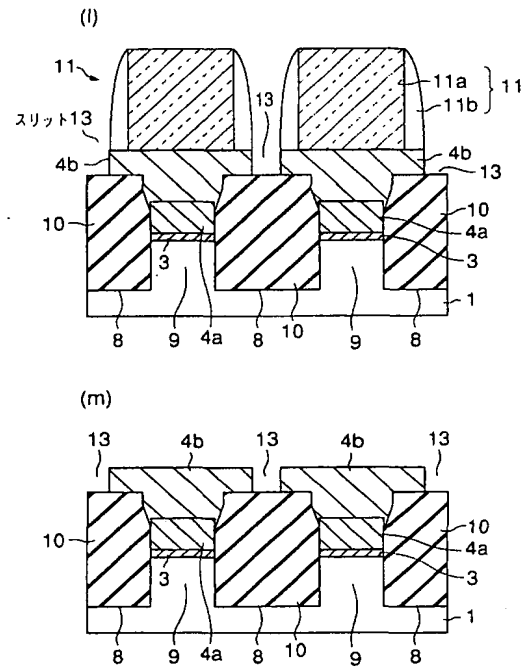
【図 4】



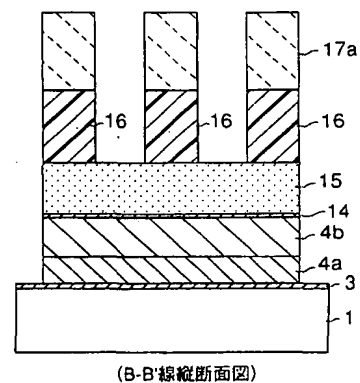
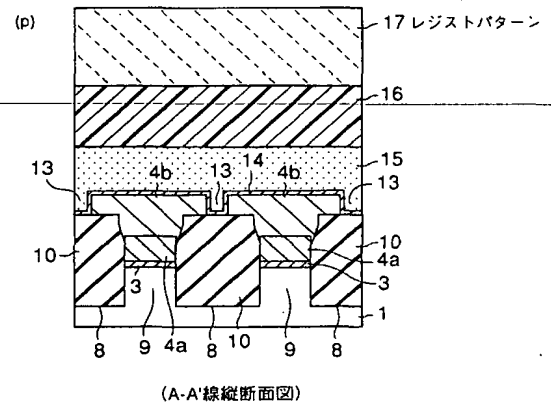
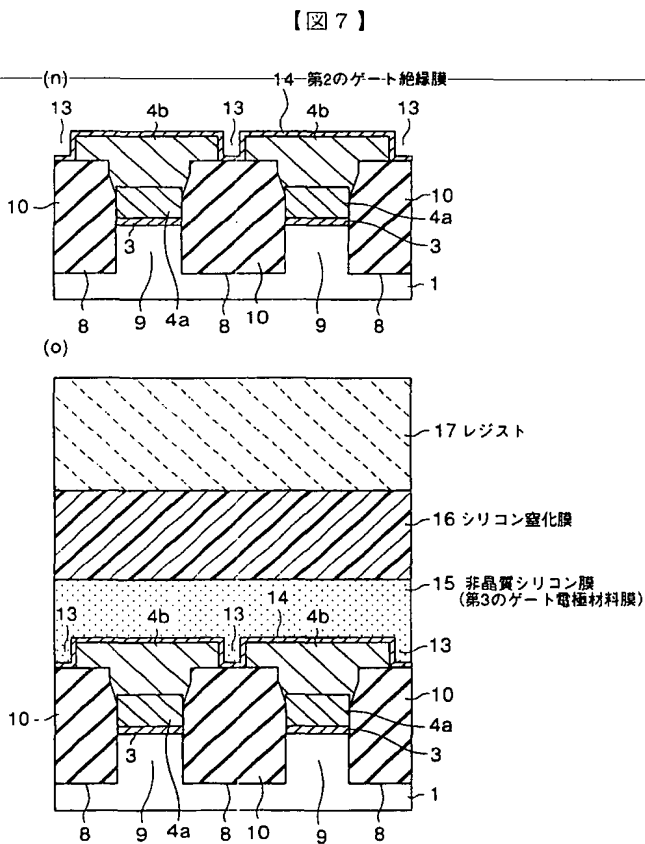
【図5】



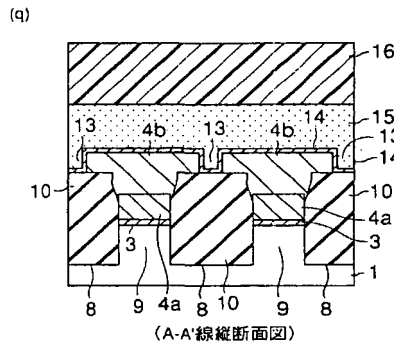
【図6】



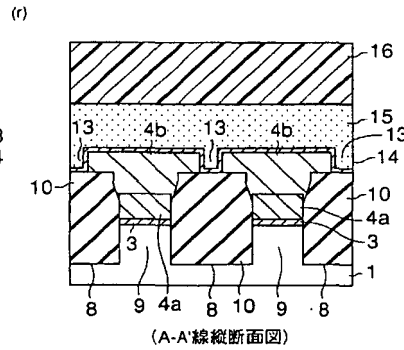
【図8】



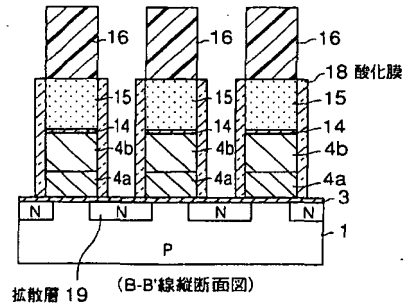
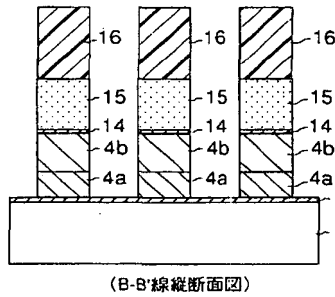
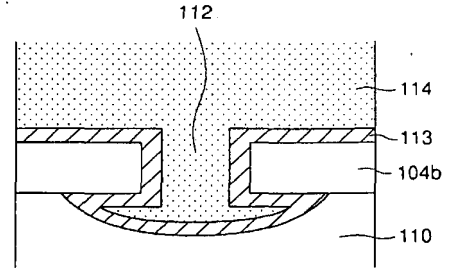
【図 9】



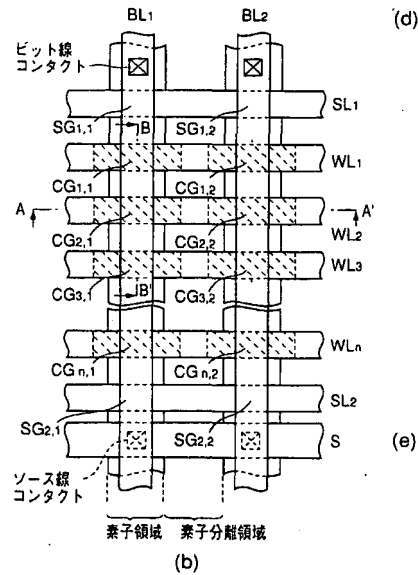
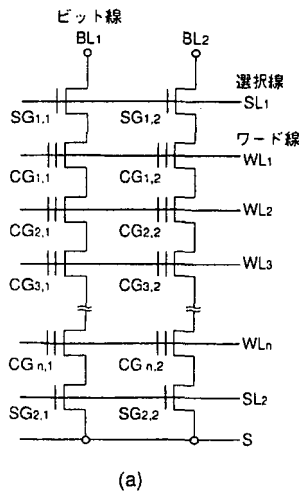
【図 10】



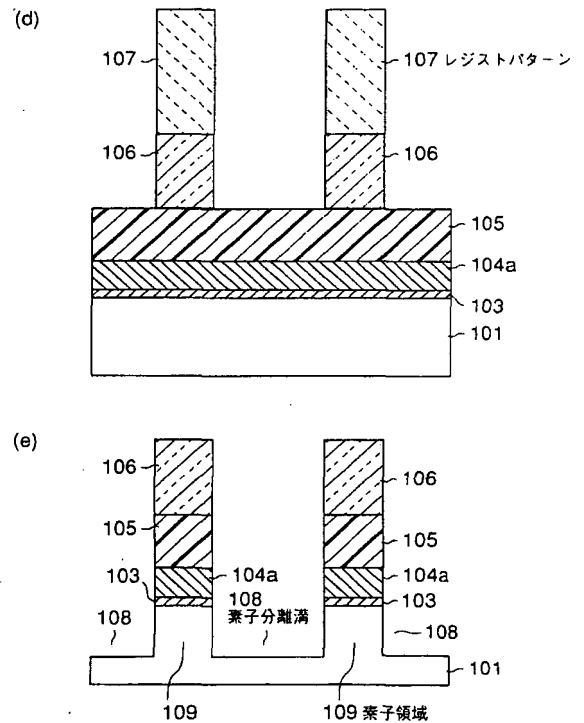
【図 22】



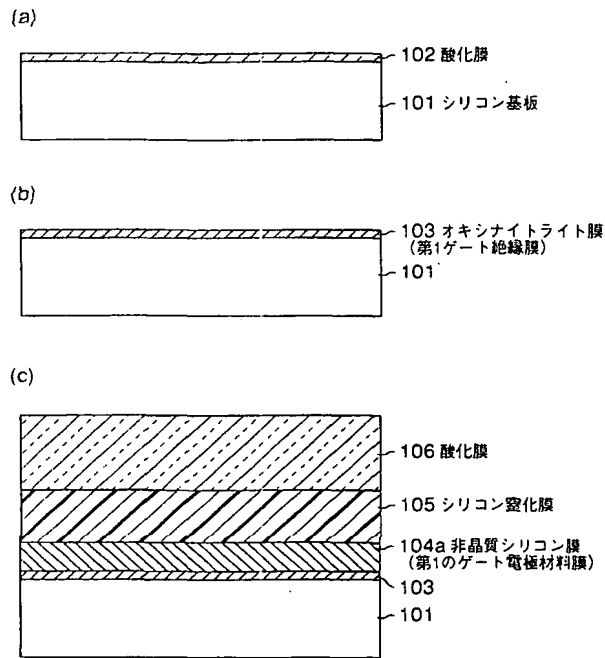
【図 11】



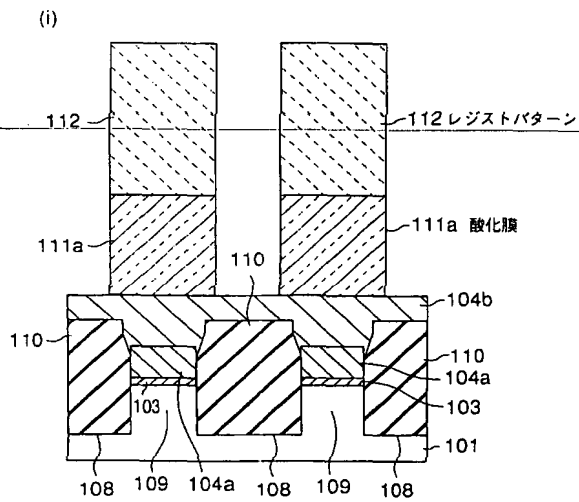
【図 13】



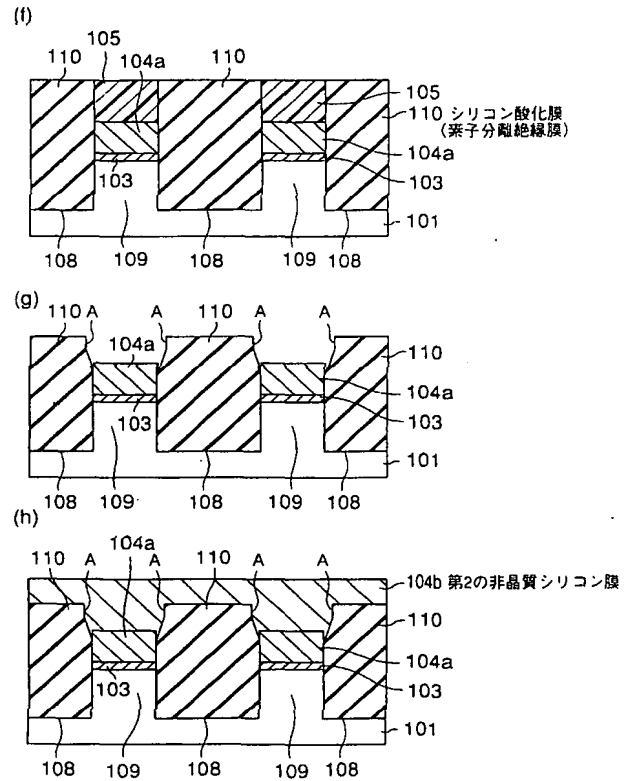
【図 12】



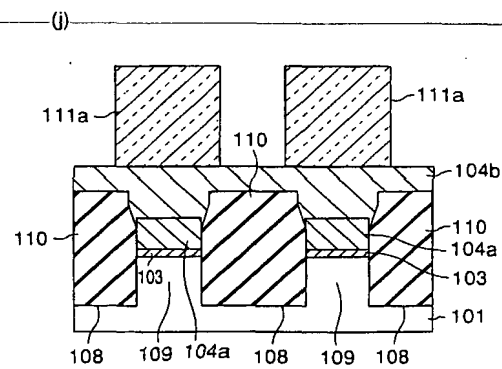
【図 15】



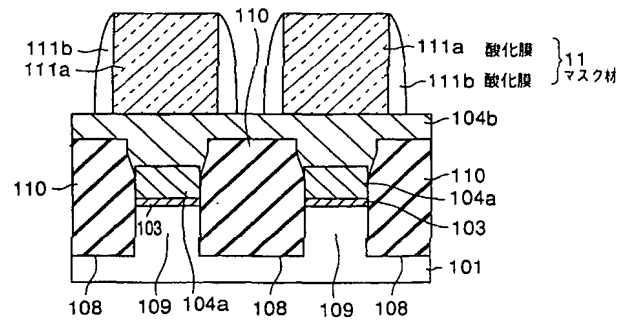
【図 14】



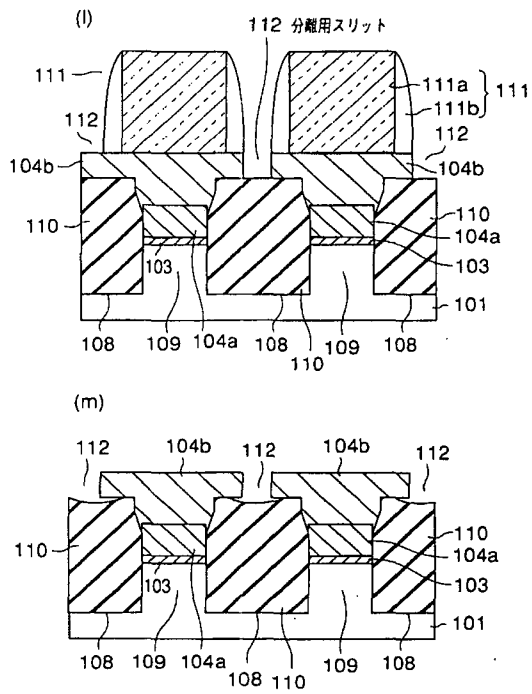
【図 16】



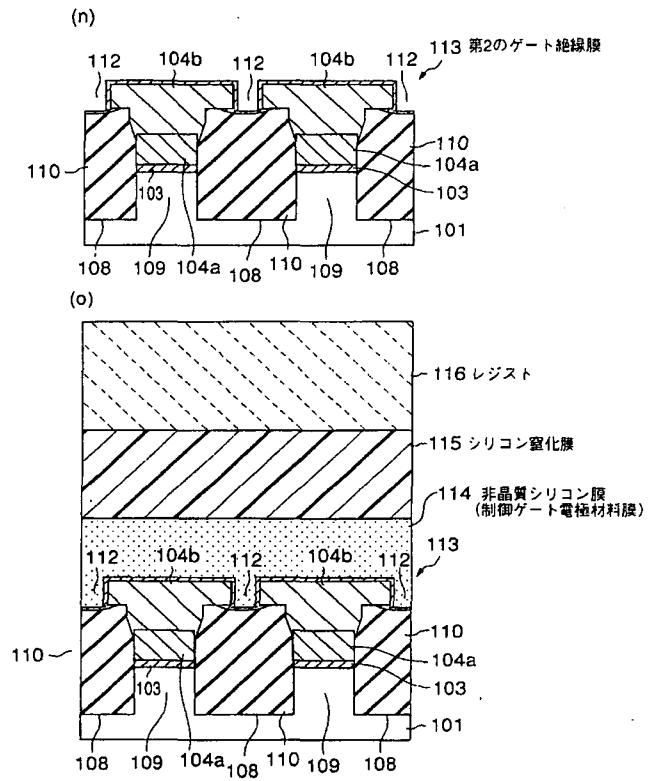
(k)



【図 17】



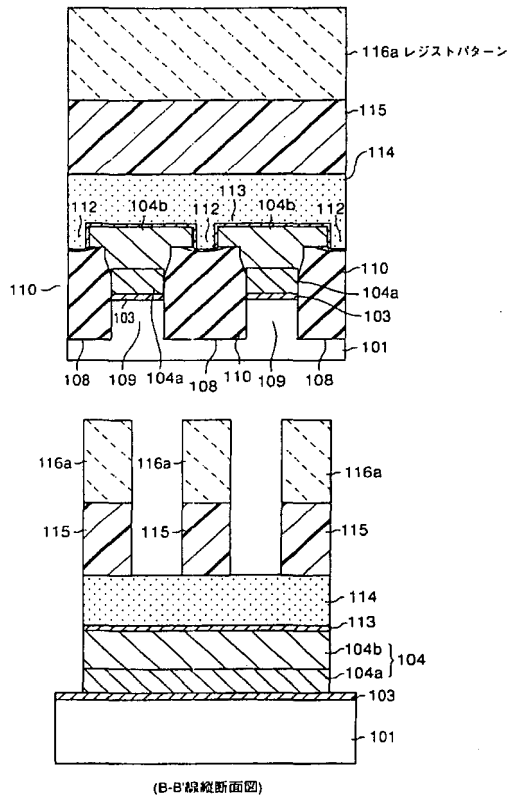
【図 18】





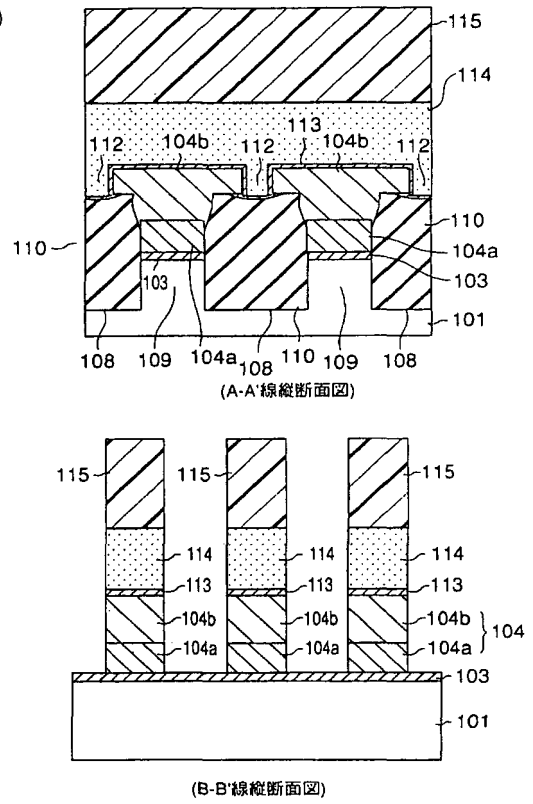
【図 19】

(p)

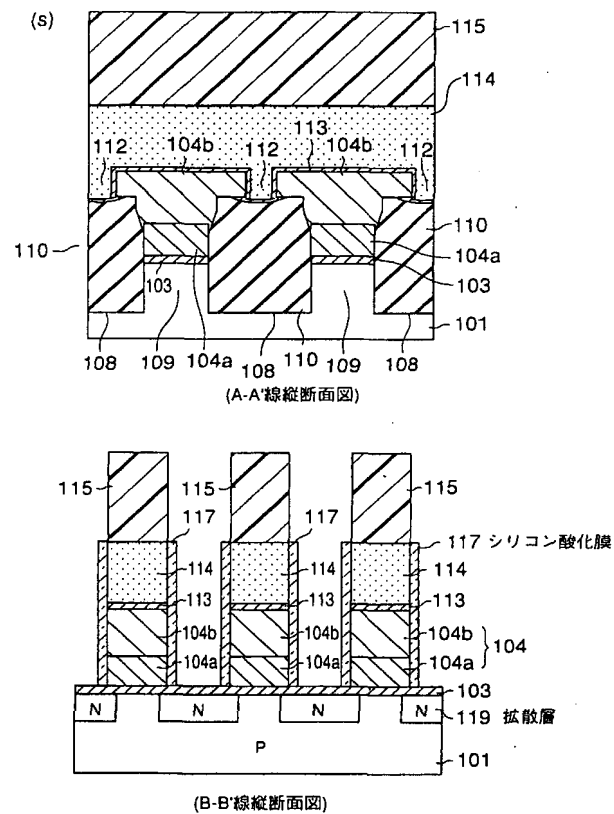


【図 20】

(r)



【図 21】



フロントページの続き

(72) 発明者 宮崎 邦浩  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 灘原 壮一  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 齋藤 真美  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

F ターム (参考) 5F001 AA03 AA31 AD41 AD44 AD53  
AD60 AG21 AG29 AG40  
5F032 AA34 AA44 AA45 AA77 BA01  
BA05 CA17 CA24 DA04 DA23  
DA25 DA33 DA78  
5F083 EP05 EP23 EP76 ER21 GA24  
JA33 KA01 LA10 LA12 LA16  
NA01 PR06 PR07 PR42 PR52  
5F101 BA13 BA17 BD22 BD27 BD34  
BD35 BH02 BH15 BH21